

IL RADIODATA

Criteri di progetto del ricevitore

NATALE PASTERO*

SOMMARIO — L'introduzione, da parte della RAI, del nuovo Servizio Radiodata (RDS) comporta la necessità, per il personale tecnico, di acquisire conoscenze relative alla tecnologia su cui si basa questo servizio.

In questo articolo si illustra la struttura di un ricevitore per RADIODATA e vengono descritti i processi di codifica differenziale e di modulazione/demodulazione. Particolare attenzione viene posta al demodulatore RDS basato sul COSTAS loop, che si ritiene essere il più efficiente e meglio integrabile a causa della sua struttura logica. Di questo demodulatore vengono suggeriti criteri di progetto.

SUMMARY — **Radiodata: Design criteria of the receiver** - The introduction, from the RAI, of the new Radiodata Service (RDS) requires the need, for the technical staff, to know as much as possible about the technologies, which this service is based on. This article refers on the structure of a receiver for RADIODATA and describes the procedures of differential coding and of modulation/demodulation. A particular attention is drawn on the RDS demodulator based on the COSTAS loop, which is deemed to be the most effective and which can be better integrated because of its logical structure. The design criteria of said demodulator are suggested.

1. Introduzione

Il RADIODATA (RDS) è un sistema di diffusione di informazioni codificate. L'UER ha sviluppato l'RDS, ne ha definite le caratteristiche fondamentali e nel marzo del 1984 ne ha pubblicate le specifiche (bibl. 1).

Il CENELEC (Comité Européen de Normalisation Electrotechnique) pensa di poter tradurre queste specifiche in uno standard europeo entro due anni, per consentire lo sviluppo dei ricevitori. Questo sistema è quindi relativamente giovane ed in continua evoluzione.

Il RADIODATA permette d'inserire informazioni ausiliarie, in un normale canale radio FM in VHF, senza disturbare il programma audio in corso. Queste informazioni, trasmesse sotto forma di flusso di dati, sono utilizzate principalmente per facilitare la sintonia automatica su ricevitori dedicati, per mostrare su un apposito visore il nome della stazione trasmittente e per segnalare all'utente, anche quando è in ascolto di una cassetta con un'autoradio, il momento in cui viene trasmesso un messaggio dedicato al traffico.

Sono disponibili altre informazioni il cui uso è lasciato alla discrezione dell'Ente che irradia il programma.

Il Centro Ricerche della RAI ha studiato a lungo, anche per conto dell'UER, il RADIODATA. Si rimanda, per indicazioni di carattere generale sul sistema, alla bibliografia (bibl. 2).

Nella tabella 1 sono riportate le caratteristiche fondamentali del RADIODATA:

TABELLA 1
CARATTERISTICHE DEL RADIODATA

- 1) Frequenza della sottoportante RDS = 57 kHz
 - 2) Deviazione della portante RF dovuta alla sottoportante RDS = ± 2 kHz
 - 3) Modulazione AM con portante soppressa
 - 4) «Bit rate» = 1187,5 bit/s.
 - 5) Codifica differenziale del segnale in banda base e codifica bifase del segnale differenziale. Ciò produce un segnale che, partendo dal bit rate di cui sopra, occupa una banda di ± 2400 Hz ed ha contenuto nullo alla frequenza della sottoportante, onde permettere l'impiego contemporaneo del sistema ARI (Informazione Radiofonica per gli Automobilisti).
 - 6) Protezione dagli errori di canale mediante l'uso di un codice ciclico accorciato (26,16).
 - 7) Suddivisione del canale dati in «gruppi» dedicati a servizi diversi:
 - a) gruppo 0 = PI, TP, PTY, TA, AF, PS
 - b) gruppo 1 = PI, TP, PTY, PIN
 - c) gruppo 2 = PI, TP, PTY, RADIOTEXT
 - d) gruppo 3 = PI, TP, PTY, CODICI RELATIVI A RETI DIVERSE DA QUELLA SU CUI SI È SINTONIZZATI
 - e) gruppo 4 = PI, TP, PTY, OROLOGIO E DATA
 - f) gruppo 5 = CANALE DATI
 - g) gruppo 6 = CANALE DATI (riservato all'Ente che irradia)
 - h) gruppo 7 = CANALE CERCAPERSONE
- N.B.: PI = Programme Identification
TP = Traffic Programme
PTY = Programme Type
TA = Traffic Announcement
AF = Alternative Frequencies
PS = Programme Service name
PIN = Programme Item Number

(*) P.i. Natale Pastero del Centro Ricerche RAI - Torino.
Dattiloscritto pervenuto alla redazione il 10 novembre 1988.

Nel maggio del 1984 la RAI ha iniziato una serie di misure al fine di analizzare la fattibilità del servizio RADIODATA sul territorio nazionale. Entro i primi mesi del

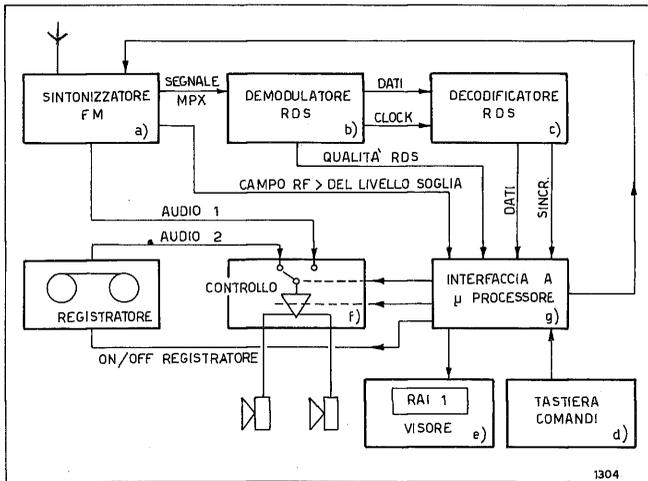


Fig. 1 — Schema a blocchi di un radiorecettore radiodata (RDS).

l'anno 1989 verranno equipaggiati, con codificatori RDS, 95 trasmettitori. Il servizio, nella fase preliminare, sarà dedicato alla trasmissione di dati fissi e cioè di quei dati che facilitano la sintonia dei ricevitori: PI-PS-AF-TP; di messaggi di prova: RT. L'unico dato variabile, in funzione del programma radio trasmesso, previsto, è il TA, che segnerà il programma ONDA VERDE.

In attesa di veder comparire, sul mercato nazionale, ricevitori FM equipaggiati con decodificatore RDS, si pubblicano alcune note, derivate dalle esperienze compiute, nel campo del ricevitore RADIODATA, dal Centro ricerche RAI. Il materiale sarà diviso in due articoli: il primo, inerente ai processi di modulazione e demodulazione, il secondo, dedicato alla decodifica del segnale RDS. In questo articolo viene trattato il processo di modulazione e demodulazione con descrizione dei circuiti atti allo scopo.

2. Descrizione dello schema a blocchi di un ricevitore RDS

La figura 1 mostra lo schema a blocchi di un ricevitore RADIODATA di tipo autoradio che ora si descrive brevemente:

- a) Sintonizzatore FM: è un normale sintonizzatore a PLL (Phase Locked Loop) con AGC (Automatic Gain Control) e possibilità di Mute durante la manovra di sintonia, deve però permettere la definizione della frequenza di sintonia mediante un BUS esterno, su cui sono inviati anche i dati relativi alle frequenze alternative. Deve fornire almeno 2 uscite: una audio ed una indicante che il campo RF è superiore ad una soglia prefissata.
- b) Demodulatore RDS: riceve in entrata il segnale multiplex stereo che viene filtrato in un passa banda (57 ± 2.4 kHz) a ritardo costante e fornisce in uscita la stringa dei dati ed il clock relativo. Produce inoltre un segnale di «qualità RDS».
- c) Decodificatore RDS: riceve, dal demodulatore, clock e dati e fornisce in uscita stringhe di dati ed il segnale di sincronismo necessario per riconoscere la trama dei dati. Il decodificatore provvede pure alla correzione degli errori di ricezione ed alla eliminazione dei dati

ricevuti non corretti, basandosi sulla ridondanza del codice 26.16, utilizzato per trasmettere i dati. Questo decodificatore può essere realizzato in modo software ed essere inglobato nell'interfaccia a microprocessore.

- d) Tastiera comandi: deve permettere il dialogo tra l'operatore ed il ricevitore e cioè: ricerca del programma desiderato, abilitazione di sintonizzarsi esclusivamente su programmi «RDS» con messaggi dedicati al traffico stradale, abilitazione, al ricevitore di commutare da cassetta a radio e di variare il livello d'ascolto, quando si riceve un programma dedicato al traffico, ecc. ecc.
- e) Visore: deve permettere la visualizzazione del nome della stazione che si sta ascoltando ecc.
- f) Dispositivo di controllo: permette la commutazione tra cassetta ed audio del ricevitore, nonché la variazione di livello tra queste due sorgenti.
- g) Interfaccia a microprocessore: consente il dialogo tra tutti i dispositivi di cui si è parlato prima. Verifica inoltre se il campo del segnale, ricevuto dal sintonizzatore è inferiore ad una soglia prestabilita, quando ciò avviene, cambia la frequenza di sintonia con una dell'alternative, precedentemente memorizzate, verificando che il campo sia migliore della soglia, che il segnale di qualità RDS sia buono e che il PI, ricevuto sulla frequenza alternativa, sia quello relativo alla stazione precedentemente sintonizzata.

3. Struttura del segnale RDS

Questo segnale è basato su una sottoportante a 57 kHz modulata in ampiezza, con portante soppressa, da un segnale dati, con codifica bifase. È stato usato questo metodo di modulazione per permettere la compatibilità tra RDS ed ARI. Quest'ultimo utilizza una sottoportante a 57 kHz modulata in ampiezza da un segnale avente fre-

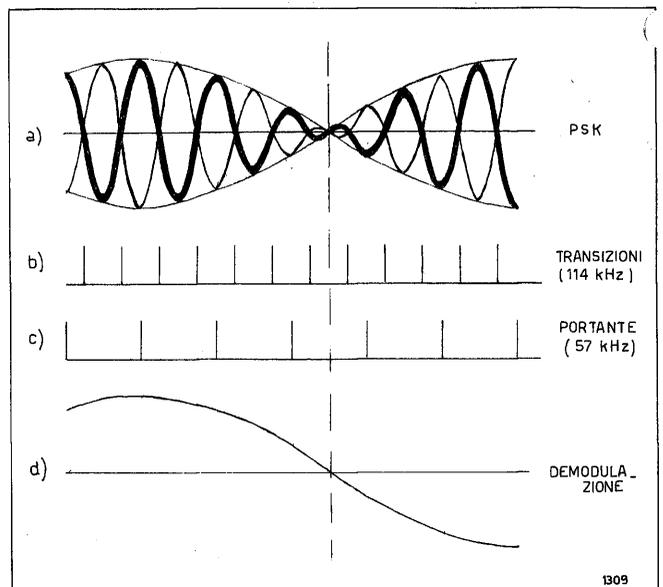


Fig. 2 — Forme d'onda relative al PSK.

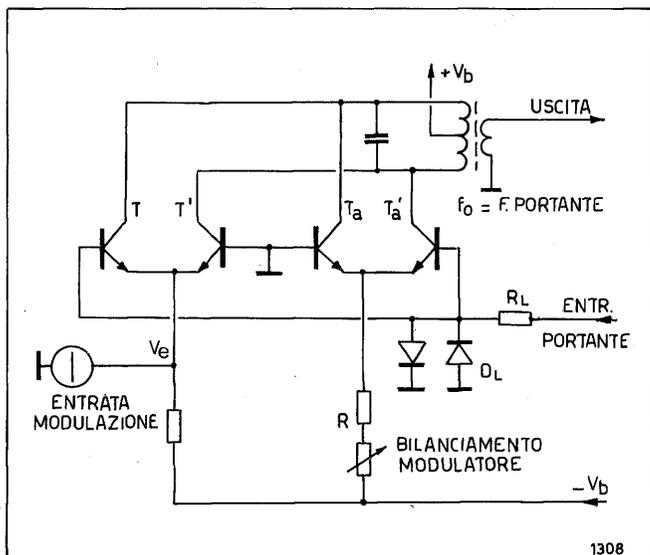


Fig. 3 — Schema del modulatore a portante soppressa.

quenza massima pari a 125 Hz.

Nel caso di segnale audio monofonico, la sottoportante è libera, mentre, nel caso di segnale audio stereofonico, detta sottoportante deve essere agganciata in fase alla pilota stereo (19 kHz).

Il «bit rate» utilizzato per la trasmissione dei dati è 1187.5 bit/s (deriva dalla divisione per 48 del 57 kHz) e la deviazione che il picco di modulazione della sottoportante RDS deve dare sulla portante FM è di ±2 kHz.

L'uso della modulazione di ampiezza con portante soppressa è stato proposto da Costas fin dal 1956 (bibl. 5). Costas suggeriva in pratica di realizzare il ricevitore con due demodulatori sincroni: uno, pilotato dall'oscillatore locale in fase (I) per l'estrazione del segnale modulante; l'altro, pilotato in quadratura (Q), atto a dare principalmente informazioni per l'aggancio dell'oscillatore locale. Il primo demodulatore doveva inoltre invertire l'informazione fornita dal secondo quando il segnale modulante cambiava polarità.

Dall'esame della forma d'onda di figura 2a si può intuire il funzionamento del ricevitore: il demodulatore in fase (I) effettua la rivelazione sincrona con l'oscillatore locale, la fase del quale è rappresentata in figura 2c. Ancora dalla figura 2a si può notare che nella zona di passaggio della portante sullo «0» (demodulatore in quadratura Q), si ha il punto più adatto (lineare) a dare il sincronismo all'oscillatore locale. Costas rivendicava ai suoi sistemi vantaggi quali:

- semplificazione del trasmettitore (manca la potenza relativa alla portante);
- assenza di potenza in assenza di modulazione;
- diminuzione delle interferenze;
- semplicità nella costruzione dei filtri, ecc.

Un esempio di come può essere realizzato un modulatore AM a portante soppressa è mostrato in figura 3. Questo circuito, dal punto di vista della portante, è bilanciato e cioè, mancando la modulazione, l'uscita è nulla, mentre con la modulazione l'uscita è del tipo rappresentato in figura 2a.

4. Codifica differenziale

La modulazione con portante soppressa, utilizzata nel sistema RDS, rende minima la potenza necessaria a trasmettere il flusso di dati e di conseguenza permette di ridurre l'eventuale distorsione di intermodulazione prodotta dai dati sull'audio, ma elimina la correlazione di fase tra segnale dati trasmesso e quello ricevuto.

Questo fenomeno è facilmente verificabile esaminando la figura 2. In detta figura, il segnale demodulato (figura 2d), è ricavato, per rivelazione sincrona della forma d'onda di figura 2a, mediante il clock di figura 2c. Basterebbe che, all'istante di accensione, questo clock fosse agganciato a 180° da quello di figura, per rivelare l'involuppo di fase opposta e non è possibile risalire a quale delle due fasi appartenga il segnale d'origine.

Questo fenomeno non dà luogo ad inconvenienti se il segnale modulante è audio, ma genera un pesante problema se la modulazione è costituita da una stringa dati: l'«uno» viene cambiato in «zero» e viceversa. Per ovviare a questo inconveniente è stata utilizzata la codifica differenziale.

Questa codifica può essere realizzata in diversi modi, due dei quali sono mostrati in figura 4:

Un primo modo, definito «MANCHESTER», la effettua sommando (modulo 2) il dato NRZ (Non Ritorno a Zero) ed il clock. Con questo metodo si elimina la componente continua del dato NRZ e la banda del segnale da trasmettere va da f di clock/2, in presenza di transizioni sul segnale NRZ, ad f di clock, in assenza di transizioni. Anche la decodifica viene eseguita con la somma, modulo 2, tra il segnale demodulato ed il clock.

Un secondo metodo, quello utilizzato dal sistema RDS,

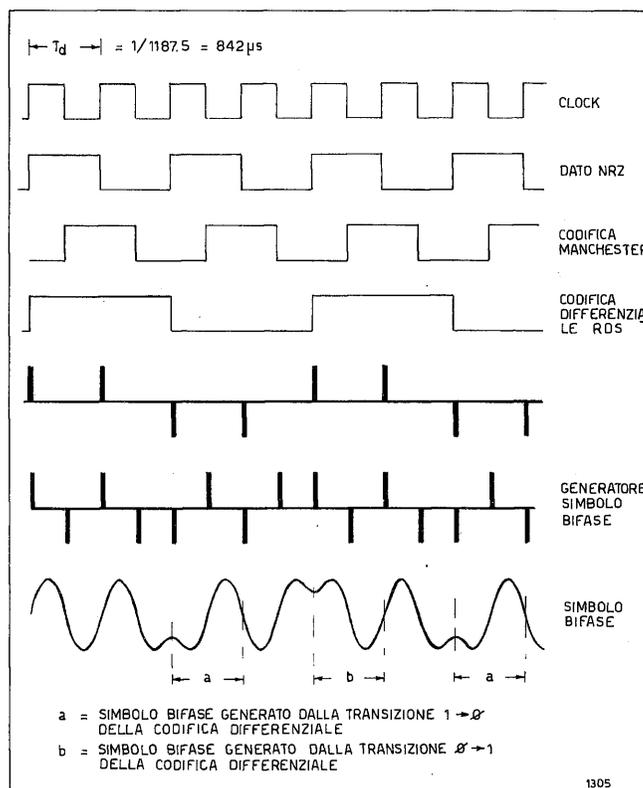


Fig. 4 — Confronto tra i codificatori differenziali Manchester e RDS

effettua la codifica differenziale sommando (modulo 2) il dato NRZ col dato precedentemente codificato. Pure con questo sistema si elimina la componente continua del dato NRZ.

Nel sistema RDS la codifica differenziale è eseguita da un circuito, formato da un EX OR e da un bistabile di tipo D, che determina la tabella seguente:

TABELLA 2

entrata istante T	uscita istante $T-1$	uscita istante T
0	0	0
1	0	1
0	1	1
1	1	0

L'insieme codifica e decodifica differenziale, in funzione del tempo T è rappresentato nella tabella 3, dove la colonna (A) esprime il valore del segnale NRZ d'entrata; la colonna (B) rappresenta la codifica differenziale e contemporaneamente una delle due possibili fasi del segnale demodolato, mentre la colonna (B1) rappresenta l'altra fase. La colonna (C) mostra l'andamento del segnale dopo la decodifica differenziale e T il tempo relativo ai vari processi.

TABELLA 3

	(A)	(B)	(B1)	(C)	T
reset	0	0	0	0	T_0
	0	0	0	0	T_0
	0	0	0	0	T_0
	0	0	0	0	T_0
inizio segnale	1	1	0	1/0	T_1
coerenza	0	1	0	0	T_2
	1	0	1	1	T_3
	0	0	1	0	T_4
	1	1	0	1	T_5
	0	1	0	0	T_6
	1	0	1	1	T_7
	0	0	1	0	T_8
	1	1	0	1	T_9

Le operazioni svolte dai processi di codifica e decodifica differenziale avvengono nel seguente modo:

Si prenda in esame ad esempio l'istante T_2

a) Codifica differenziale:

EX OR tra il segnale NRZ d'ingresso all'istante T_2 ed il segnale già codificato all'istante precedente T_1 .

b) decodifica differenziale:

EX OR tra il segnale codificato differenziale relativo all'istante T_1 e quello relativo all'istante T_2 .

Come si può vedere dalla tabella il segnale NRZ d'origine e quello decodificato sono uguali, dopo la prima transizione della codifica differenziale, anche se il demodulatore sta rivelando la fase opposta rispetto a quella d'origine. Da ciò si deduce che con la codifica differenziale è possibile ricostruire il segnale NRZ di partenza, indipendentemente dal posizionamento di fase del demodulatore.

5. Spettro del segnale RDS

Al fine di limitare la banda del segnale, verso le frequenze basse, non ne viene trasmessa la codifica differenziale ma il simbolo bifase. Questo è ricavato, come mostrato nelle forme d'onda di figura 4, generando, a partire dagli impulsi polari che rappresentano il dato codificato differenziale, una coppia di impulsi di polarità opposta a distanze $T_d/2$. Questi impulsi sono poi inviati al filtro formatore che ha caratteristica di trasferimento H_t :

$$H_{t(f)} = \cos \pi f T_d / 4 \quad \text{per } f > 0 \text{ e } < 2/T_d$$

$$H_{t(f)} = 0 \quad \text{per } f > 2/T_d$$

Lo spettro del segnale modulante così ottenuto ha ampiezza 0 a frequenza 0 ed alla frequenza $f = 2/T_d =$ circa 2400 Hz (N.B.: $T_d = 1/1187.5 =$ periodo del segnale modulante).

In figura 5 sono mostrati i processi di modulazione della sottoportante RDS, quando il segnale NRZ, d'ingresso, è uno «zero» fisso e quando è un «uno» fisso.

6. Modulatore RDS

La figura 6 rappresenta lo schema a blocchi di un'apparecchiatura capace di realizzare la codifica RDS come descritta sopra. Mentre nella figura 3 si può vedere un

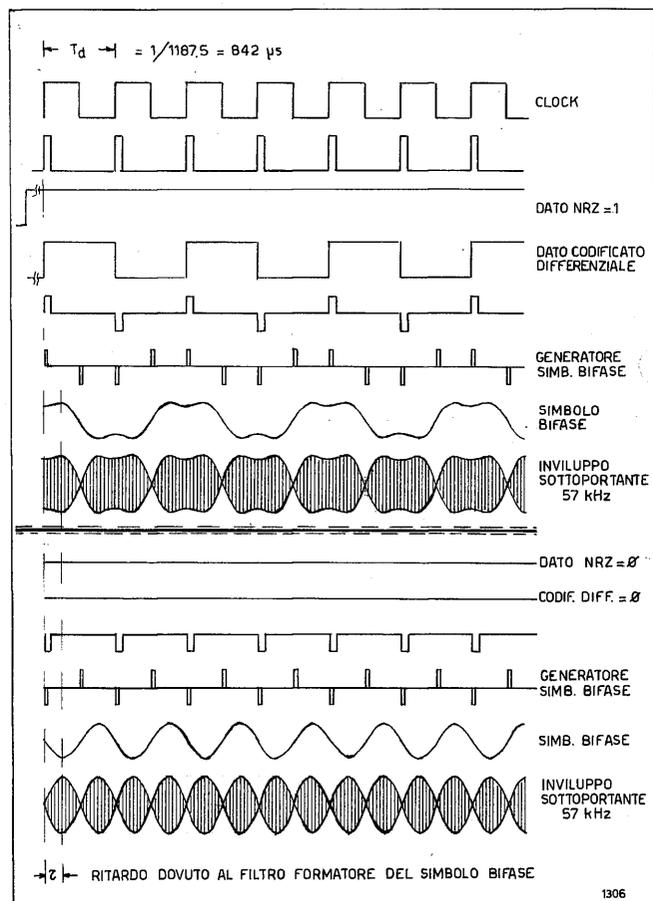


Fig. 5 — Modulazione RDS in presenza di un segnale di prova tutti «uno» o tutti «zero».

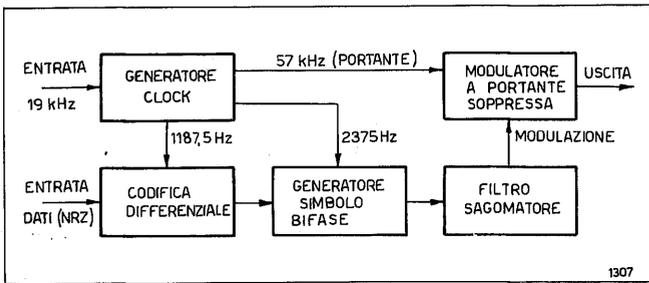


Fig. 6 — Schema a blocchi di un modulatore RDS.

esempio di modulatore a portante soppressa che ora viene brevemente descritto.

Sull'entrata sottoportante il gruppo RL e DL provvedono a limitare il valore picco picco della portante al livello di soglia dei diodi; in assenza di modulazione, si regola R in modo da avere portante in uscita = 0. Quando il segnale modulante fa aumentare il segnale di entrata V_e in senso positivo, si ha una diminuzione di corrente in T e T' e quindi l'uscita si sbilancia a favore di T e T'. Viceversa, quando V_e aumenta in senso negativo, aumenta la corrente in T e T' e l'uscita si sbilancia a favore di T e T'. La forma d'onda risultante è mostrata dalla figura 2a.

Parrebbe a questo punto che gli ideatori del sistema RDS abbiano trovato una filosofia di circuito senza peccati: codifica che non richiede presenza di clock per la demodulazione, riduzione di banda... ma non è così e ce lo dimostra la tabella 4, dove si può vedere cosa succede, sulla decodifica, quando il canale di trasmissione introduce un errore.

TABELLA 4

	(A)	(B)	(C)	(D)	T
reset	→	0	0	0	T_0
	0	0	0	0	T_0
	0	0	0	0	T_0
	0	0	0	0	T_0
inizio segnale					
coerenza	1	1	1	1	T_1
	0	1	1	0	T_2
introduzione errore	1	0	→ 1	0	T_3
	0	0	0	1	T_4
	1	1	1	1	T_5
	0	1	1	0	T_6
	1	0	0	1	T_7
	0	0	0	0	T_8
	1	1	1	1	T_9

In questa tabella, la colonna (A) rappresenta il segnale NRZ d'entrata; la (B) il dato codificato, secondo la codifica RDS; la (C) il dato codificato, ricevuto con un errore (→); la colonna D rappresenta il segnale d'uscita NRZ. Si vede come l'introduzione di un singolo errore, dovuto al canale di trasmissione, sul segnale codificato differenziale col metodo RDS, porta ad un errore doppio sul dato NRZ decodificato. Questo è lo scotto che il sistema RDS paga per poter trasmettere i dati senza clock e a banda stretta.

7. Demodulatore RDS

Al fine di poter ricostruire la stringa dati NRZ dal segnale RDS occorre effettuare all'inverso le varie operazioni svolte durante la codifica del segnale stesso.

La prima operazione da svolgere è quella relativa alla ricostruzione del clock.

La figura 7 mostra le forme d'onda di base per lo svolgimento di tale operazione. Le prime 4 righe rappresentano la struttura del segnale RDS fino ad ottenere il simbolo bifase (a1); questo è stato ricavato a partire da un dato NRZ formato da una successione di «zero» ed «uno». La riga (b1) di figura 7 mostra i passaggi sullo 0 del simbolo bifase; queste transizioni non sono direttamente utilizzabili per la ricostruzione del clock, infatti, cadendo a frequenza doppia, possono agganciare l'oscillatore locale con la fase corretta o a 180° .

Un metodo per risolvere questo problema consiste nel pilotare, con queste transizioni, un monostabile con periodo attivo pari al 75% della durata del bit, questo monostabile, a sua volta, ne fa partire un secondo di durata pari al 50% del periodo di bit. Le relative forme d'onda (c1), (d1), (c2), (d2) sono rappresentate in figura 7. Da queste forme d'onda si può vedere che, comunque fosse lo stato iniziale del monostabile 75%, all'atto del primo cambio di stato del simbolo bifase il monostabile 50% è in fase col clock d'origine. È evidente che questa condizione si verifica anche in caso di perdita di sincronismo: all'atto del primo cambio di stato del simbolo bifase il monostabile 50% sarà nuovamente in fase col clock d'origine.

Le righe (g1) e (h1) di figura 7 si riferiscono rispettivamente al generatore di clock locale ed al confronto (EX OR) tra lo stesso ed il monostabile 50%; la componente continua di questo confronto può essere utilizzata per il VCO (Voltage Controlled Oscillator) del generatore di clock locale.

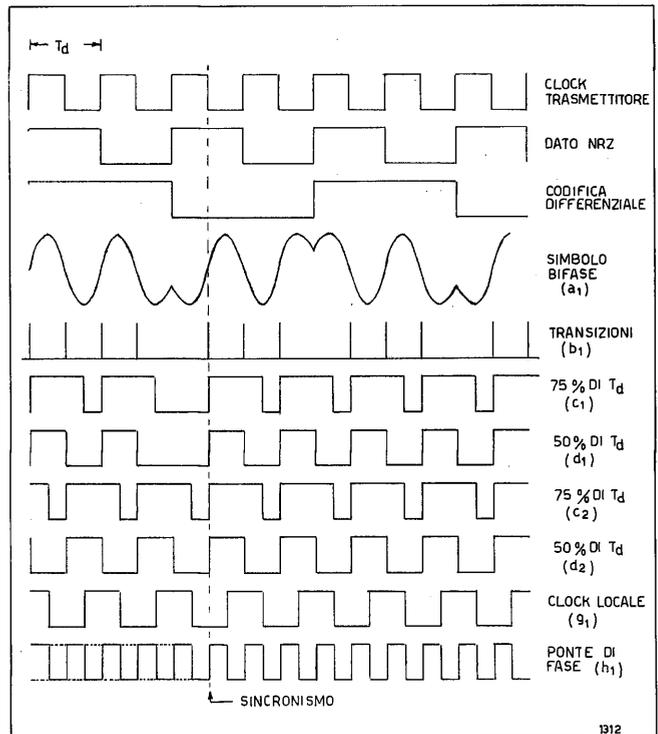


Fig. 7 — Forme d'onda per l'estinzione del clock di bit RDS.

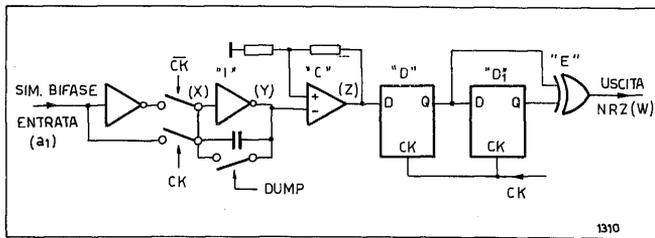


Fig. 8 — Demodulatore denominato «integra e scarica» dal simbolo bifase al segnale NRZ.

Dopo aver ricostruito il clock occorre ricavare dal simbolo bifase la codifica differenziale e da questa il dato NRZ. Il metodo più semplice per realizzare ciò ci è suggerito dalla stessa figura 7: è sufficiente produrre le transizioni che non compaiono nella riga (b1) e con queste leggere il simbolo bifase, per ottenere la codifica differenziale; da questa, mediante i soliti bistabile D ed EX OR, si può ricavare il dato NRZ d'origine.

Questo sistema può però dare luogo ad inconvenienti quando il rapporto segnale/disturbo è basso; infatti se a causa del rumore di canale il simbolo bifase non è corretto, la lettura del medesimo può dar luogo ad errori.

Un demodulatore atto a migliorare le cose in presenza di rumore sul segnale è quello denominato «INTEGRA E SCARICA», rappresentato schematicamente in figura 8 e come forme d'onda in figura 9.

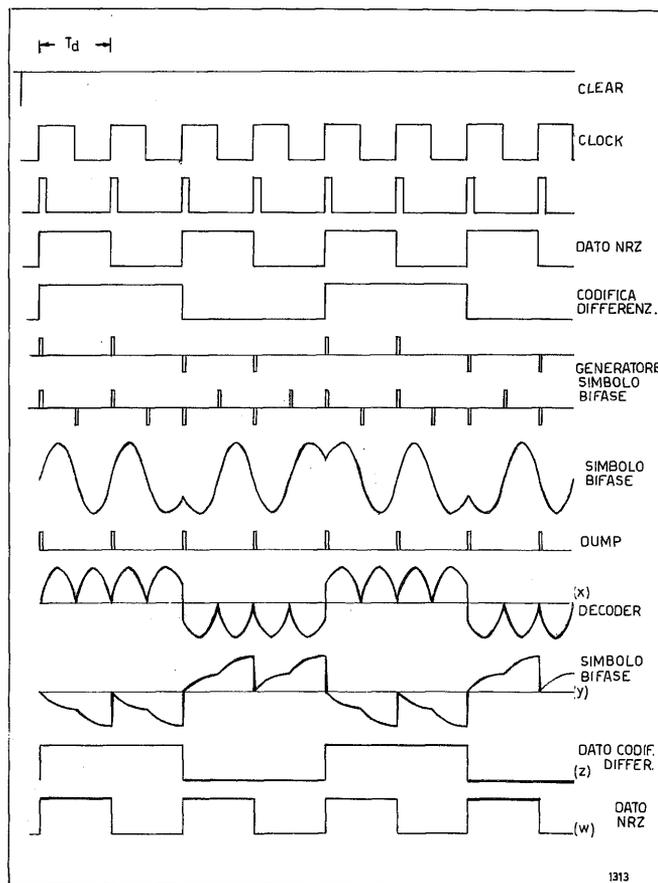


Fig. 9 — Forme d'onda relative al demodulatore «integra e scarica» fi- no al segnale NRZ.

L'idea base di questo circuito consiste nel leggere non il simbolo bifase ma l'integrazione del medesimo nell'ambito di un periodo di clock con il conseguente vantaggio nel campo del rapporto segnale disturbo. Vediamo in pratica come ciò viene realizzato dal circuito.

In figura 9, le prime 8 righe rappresentano la situazione, ormai nota, di costruzione del simbolo bifase. La riga (X) è invece la forma d'onda del punto X del circuito di figura 8, ottenuta prendendo il simbolo bifase per 1/2 periodo di clock con una fase e per un'altra metà con fase opposta, attraverso l'invertitore ed i due interruttori comandati dal clock di figura 8.

Il segnale così ottenuto viene poi inviato all'integratore «I», la capacità del quale viene scaricata completamente ad ogni periodo di clock per mezzo del segnale DUMP. All'uscita dell'integratore si avrà la forma d'onda (Y) che attraverso al comparatore, con isteresi, «C» produrrà la forma d'onda (Z): in pratica il dato codificato differenziale, che attraverso la solita decodifica costituita da un bistabile di tipo D ed un EX OR, fornirà il dato NRZ (W).

I punti salienti di un tale tipo di demodulatore sono ben individuabili nella riga (Y) figura 9, dove si può vedere che il dato utile è fornito dall'integrale della forma d'onda del segnale ricevuto ed è di conseguenza molto meno affetto dal rumore che non il segnale d'entrata; inoltre questo segnale viene letto, mediante il bistabile «D», immediatamente prima che l'interruttore DUMP scarichi la capacità dell'integratore e quindi nel punto in cui l'effetto dall'integrazione sul segnale d'entrata è maggiore.

Per facilitare la comprensione del circuito tutta la rappresentazione è stata fatta mantenendo il segnale lineare, ma niente impedisce che già a livello del simbolo bifase e di conseguenza della demodulazione sincrona, il segnale venga squadrato, eliminando così gli eventuali problemi di non linearità dei componenti.

I sistemi numerici necessitano di un'abilitazione che permetta a tutta l'apparecchiatura di entrare in funzione solo quando si è entro i limiti previsti di distorsione o di rapporto S/N. Il circuito «INTEGRA E SCARICA» è in grado di fornire pure quest'abilitazione; infatti, se il segnale d'entrata, limitato in ampiezza, è privo di rumore, la tensione, all'uscita dell'integratore, al termine del tempo di integrazione, è costante. In presenza di rumore, il valore medio del segnale da integrare è minore e di conseguenza pure la tensione d'uscita è inferiore. Un comparatore di livello, con opportuna soglia, all'uscita dell'integratore, campionato prima del segnale DUMP, è quindi in grado di stabilire se il segnale RDS d'entrata ha qualità sufficiente o meno, fornendo l'abilitazione richiesta.

Il passaggio tra il segnale codificato differenziale ed il segnale NRZ è effettuato in figura 8 dal gruppo «D₁» - «E».

8. Esempio di un demodulatore RDS completo

In figura 10 si ha un esempio di demodulatore RDS completo: dall'ingresso multiplex stereo all'uscita del simbolo bifase, che poi, mediante il circuito «INTEGRA E SCARICA», precedentemente descritto, fornirà il dato NRZ.

In questo circuito il segnale entra nell'ingresso «IN MPX», viene filtrato da un passa banda ed ha l'aspetto nel punto (a) mostrato in figura 2a.

Il comparatore «C», con soglia, permette di ricavare

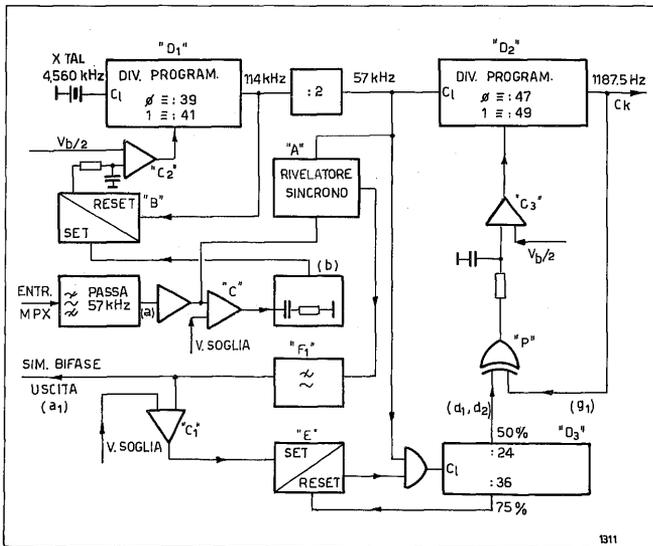


Fig. 10 — Schema di un demodulatore RDS completo.

e transizioni relative al passaggio sullo 0 del segnale filtrato. Queste transizioni, differenziate, sono mostrate in figura 2b ed hanno velocità doppia rispetto alla portante. Il set/reset «B», pilotato da queste transizioni e da quelle analoghe di un oscillatore locale, fornisce un'indicazione di differenza di fase tra queste due e quindi, con un opportuno filtro, è atto a costituire un ponte di fase per il controllo del VCO dell'oscillatore locale.

La frequenza dell'oscillatore locale, divisa per 2, comanda il rivelatore sincrono, che col filtro passa basso relativo «F1», fornisce il simbolo bifase: vedi figura 2d.

9. Note su PLL e VCO

Sono note le difficoltà di realizzazione di un VCO pilotato da un PLL (Phase Locked Loop): il quarzo del VCO deve essere scelto in modo che la variazione delle reattanze parallelo, per variare la frequenza, non peggiorino la stabilità del quarzo stesso, il filtro passa basso e l'amplificatore che vanno dal ponte di fase all'entrata del VCO, ebbene adattare l'uscita del ponte alla dinamica del VCO, ma non far pendolare l'oscillatore a causa dell'anello (loop) di controreazione. Inoltre la messa a punto del circuito è laboriosa.

Una decisa semplificazione, rispetto ad un VCO tradizionale, può essere fatta se si dispone di un oscillatore a frequenza molto più alta di quella utile e, per divisione, si ottiene la frequenza voluta. In questo caso, si adopera il ponte di fase, non per il controllo del VCO, ma per cambiare il valore della divisione, in modo da ricavare due valori distinti di frequenza: più alto e più basso di quello nominale. Così, ad ogni controllo, se il ponte di fase stabilisce, ad esempio, che si è raggiunta la frequenza definita come limite alto, tale ponte dà al divisore il comando di dividere per un numero maggiore, riportando quindi la frequenza utile al valore limite inferiore.

Un sistema di questo genere è molto meno impegnativo dal punto di vista del filtro del PLL e della messa a punto del circuito, inoltre il quarzo può lavorare a frequenza fissa e nel punto in cui ha migliore stabilità.

L'amplificatore che va dal ponte di fase alla programmazione del divisore, lavora in condizione ON/OFF per

cui non esistono più problemi di deriva termica. Per contro un clock ottenuto con questo metodo, varia in continuazione la propria frequenza tra i due limiti che gli sono stati imposti ed è poco adatto a fare misure osciloscopiche (apertura occhio ecc.).

10. Criteri di progetto del demodulatore RDS

Dallo schema a blocchi di figura 10 si può vedere che occorrono i seguenti clock:

- 1) 114 kHz controllo di fase con le transizioni d'ingresso
- 2) 57 kHz demodulatore sincrono
- 3) 1187.5 Hz cadenza di bit

Il valore della divisione, per definire il clock di bit, è già stabilito; esso vale: $57000/1187.5 = 48$; di conseguenza, secondo la nota precedente, il primo divisore programmabile «D2», deve dividere per 47 o per 49 (1163/1212 Hz).

Il massimo spostamento di fase ricavabile da un ponte è di $\pm 90^\circ$, pari a $1/2$ periodo di clock; ora, nel caso del clock di bit, per fare questo spostamento, occorre che il divisore perda, o guadagni $(1/1187.5)/2 = 421 \mu s$; ma il clock del divisore ha periodo $1/57000 = 17.5 \mu s$ e, dato che il numero per cui divide può essere, secondo la nota precedente, solo 47 o 49, al termine di ogni divisione può perdere, o guadagnare, solo $(17.5 \times 2) = 35 \mu s$. Ora $421/35 = 12$ e cioè, per avere il massimo spostamento di fase, occorre attendere un tempo pari a 12 clock di bit. Quindi, se all'atto dell'accensione, il ponte di fase si trova nella posizione opposta a quella voluta occorrono circa 12 periodi di clock per entrare in zona «aggancio».

Questo è il tempo massimo, in cui il dato d'uscita non deve essere considerato valido ogni volta che viene perso il sincronismo di clock.

Il valore della frequenza del quarzo e quindi quello del divisore «D1» di figura 10, possono essere scelti in funzione del jitter che si è disposti ad accettare su 114 kHz (il jitter in questo caso significa imperfetto centraggio del punto di demodulazione). Accettandolo pari al $\pm 2,5\%$ si può fare la seguente impostazione:

$$100 - 2,5 = 97,5; \quad 97,5/2,5 = 39 \text{ (divisore minore)}$$

$$100 + 2,5 = 102,5; \quad 102,5/2,5 = 41 \text{ (divisore maggiore)}$$

Il valore centrale (100) è relativo al valore nominale della divisione (40) e fornisce la frequenza del quarzo: $114000 \times 40 = 4,56 \text{ MHz}$.

Tornando allo schema di figura 10, con quanto detto sopra sono giustificati i valori impostati sui due divisori programmabili «D1», «D2».

A questo punto possiamo descrivere la restante parte del demodulatore RDS utilizzando nuovamente le forme d'onda di figura 9.

Il bistabile set/reset «E» di figura 10 viene messo in set dalle transizioni del simbolo bifase, vedi (b1) di figura 7, abilitando il passaggio del clock su «D3». Ogni 24 impulsi di clock, «D3» produce il segnale (d1), (d2), equivalente al monostabile 50% di figura 7, mentre ad ogni 36 impulsi produce il segnale di reset per «E», il quale, di conseguenza, blocca il passaggio del clock all'entrata «D3», producendo il segnale (c1), (c2), equivalente al monostabile 75%.

Il ponte di fase «P» confronta il clock locale (g1) col

clock 50%, ricavandone l'informazione che il comparatore «C3» utilizza per cambiare il valore della divisione di «D2».

Il bistabile set/reset «B» confronta le transizioni, a 114 kHz, del segnale RDS, riga b) di figura 2, con le analoghe provenienti dal generatore di clock locale, ricavandone l'informazione che il comparatore «C2» utilizza, per cambiare il valore della divisione di «D1».

11. Demodulatore differenziale

I circuiti suggeriti, per la demodulazione del segnale RDS si basano sul Costas loop e sul decodificatore «integra e scarica» per la demodulazione del simbolo bifase.

Il Costas loop potrebbe essere sostituito da un più semplice demodulatore differenziale e cioè da un circuito che demoduli il segnale RDS confrontando il segnale stesso con quello ricevuto $1/1187,5 \text{ Hz} = 842 \mu\text{s}$ prima; questo ritardo è realizzabile mediante dispositivi CCD (Charge Coupled Devices).

Questa seconda soluzione potrebbe dimostrarsi valida se utilizzata su ricevitore per autoradio, dove, a causa delle riflessioni multiple, dovute al ricevitore in movimento, si possono avere dei rapidi cambiamenti di fase sulla sottoportante a 57 kHz; il Costas loop, impiegherà più tempo per seguire queste variazioni che non un demodulatore differenziale, che è privo di volano, con conseguente perdita di dati. Per contro, il demodulatore differenziale richiede per poter fornire lo stesso bit error rate un rapporto segnale/disturbo migliore di 2 dB.

12. Filtro passa banda

Il segnale RDS viene ricavato, nel ricevitore, dal segnale MPX stereo mediante un filtro passa banda a 57 kHz, ricordando che lo spettro del segnale modulante è compreso tra 0 e 2400 Hz, il filtro dovrà avere ritardo costante per $\pm 2400 \text{ Hz}$ attorno a 57 kHz al fine di non danneggiare la modulazione di fase.

13. Conclusione

Da queste note appare come il demodulatore RDS sia realizzabile in modo completamente logico e di conseguenza facilmente integrabile.

Un circuito integrato che realizza questo tipo di demodulatore è il PHILIPS SAA 7579 T. Questo integrato ricava, a partire dal segnale MPX stereo il CLOCK ed i DATI NRZ del segnale RDS e fornisce l'informazione di QUALITÀ RDS. Inoltre indica se sul segnale MPX è presente l'informazione ARI. Questo è il primo circuito integrato LSI, dedicato al RADIODATA, comparso sul mercato.

Il passo successivo, presumibilmente, dovrebbe consistere nella realizzazione di un amplificatore-filtro passa 57 kHz che, se realizzato a componenti discreti, necessita di spazio e di tempo per l'allineamento.

I ricevitori RADIODATA, attualmente in commercio, non prevedono l'utilizzazione del RADIOTEXT in quanto il loro visore è, al momento, realizzato con i soli 8 caratteri necessari alla visualizzazione del PS.

La RAI, irradiando il segnale RDS, ha necessità di di-



Fig. 11 — Fotografia del ricevitore radiodata RDS realizzato presso il Centro Ricerche RAI.

sporre di un sistema di controllo dell'insieme dei dati trasmessi; questo controllo non è effettuabile con un ricevitore di tipo autoradio in quanto, quest'ultimo non attua tutte le risorse del sistema, ma solo quelle dedicate. Il sistema di controllo deve poi permettere la verifica del flusso dei dati trasmessi in tempo reale, cosa questa inutile a qualsiasi ricevitore commerciale.

Un primo prototipo di decodificatore è stato messo a punto dal Centro Ricerche nel 1987 ed è stato utilizzato per la verifica del funzionamento dei Codificatori RDS. Questo prototipo è mostrato nella foto di figura 11. In quest'apparecchiatura la demodulazione è stata effettuata con un demodulatore differenziale, mentre la decodifica RDS è stata ottenuta con un decoder di tipo hardware.

Attualmente è allo studio un nuovo sistema di controllo utilizzante come demodulatore il «COSTAS loop», illustrato nel presente articolo, mentre la decodifica RDS è eseguita in modo completamente software, per poter permettere qualsiasi elaborazione sugli algoritmi di correzione di errore e di sincronismo di trama.

Di questo sistema verrà data descrizione in un articolo successivo.

(3767)

BIBLIOGRAFIA

1. - EBU *Specifications of the radio data system RDS for VHF/FM sound broadcasting* Tech 3244-E, Marzo 1984.
2. - COMINETTI M.: *IL RADIODATA: nuovo servizio in radiofonia MF*. «Elettronica e Telecomunicazioni», n. 2, 1985.
3. - ELY S. R., KOPITZ D.: *Design principles for VHF/FM radio receivers using the EBU radio-data system RDS* «EBU REVIEW - TECHNICAL» No. 204 - Aprile 1984.
4. - NORTON J. J.: *Drop your costs, but not your bits with a Manchester-data decoder* «ELECTRONIC DESIGN» 15, Luglio 19, 1979
5. - COSTAS J. P.: *Synchronous communications*. «PROCEEDING OF THE IRE» No. 12 Dicembre 1956
6. - ODMALM C.: *The development of the EBU VHF/FM radio-data system (RDS)*. «EBU REVIEW - TECHNICAL» No. 200 - Agosto 1983
7. - FRENCH R. C.: *Error performance of p.s.k. and f.f.s.k. sub-carrier data demodulator* «THE RADIO AND ELECTRONIC ENGINEER» Vol. 46, No. 11, Novembre 1976